

09/630.526

DIALOG(R) File 351:Derwent WPI
(c) 2004 THOMSON DERWENT. All rts. reserv.

010219735 **Image available**

WPI Acc No: 1995-120990/ 199516

XRPX Acc No: N95-095482

**Solid state image pick-up device - incorporates switch part to control
starting of shift operation of shift register by opening and closing
first and second switch correspondingly**

Patent Assignee: OLYMPUS OPTICAL CO LTD (OLYU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7046483	A	19950214	JP 93205631	A	19930729	199516 B

Priority Applications (No Type Date): JP 93205631 A 19930729

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7046483	A	19	H04N-005/335	

Abstract (Basic): JP 7046483 A

The solid state image pickup device incorporates a light receiving part (6) in which light receiving pixels (7) are arranged in one or two dimensions. A scanning circuit part (1) consisting of shift registers (3) and a switch part (2) performs scanning of the light receiving part. The shift register is divided into blocks which are controlled by the switch part. A first switch of the switch part sends a scanning start pulse to the first stage input part of an arbitrary block. A second switch of the switch part isolates the last stage output part of a block from the first stage output part of an adjacent block. Thus by opening and closing the first and second switch properly, the shift operation is controlled and the arbitrary domain of receiving pixel is readout.

ADVANTAGE - Stops operation of shift register without any complicated operation. Makes initialization of shift register unnecessary. Enables reading of arbitrary domain of light receiving part. Avoids complication of peripheral circuit.

Dwg.1/32

Title Terms: SOLID; STATE; IMAGE; PICK; UP; DEVICE; INCORPORATE; SWITCH;
PART; CONTROL; START; SHIFT; OPERATE; SHIFT; REGISTER; OPEN; CLOSE; FIRST
; SECOND; SWITCH; CORRESPOND

Derwent Class: U13; W02; W04

International Patent Class (Main): H04N-005/335

File Segment: EPI

Manual Codes (EPI/S-X): U13-A; W02-J02A1A; W04-M01B5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-46483

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁶

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

E

審査請求 未請求 請求項の数 6 F D (全 19 頁)

(21) 出願番号 特願平5-205631

(22) 出願日 平成5年(1993)7月29日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 風間 里志

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

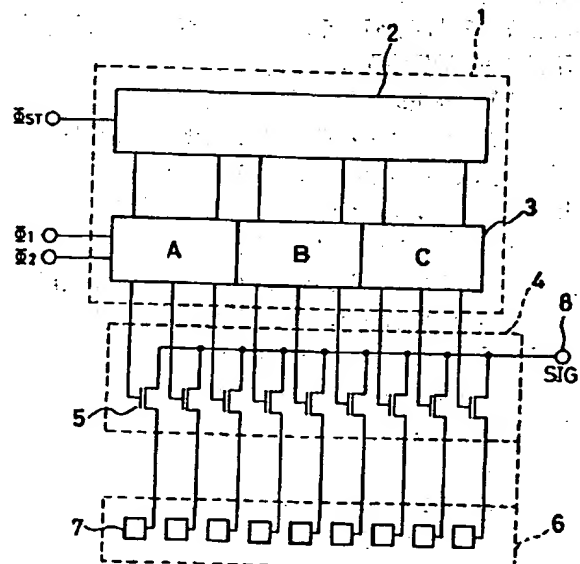
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】 クロックパルスの複雑な制御なしでシフトレジスタの動作を停止させることができ、且つシフトレジスタの初期化動作を必要としない、受光面の任意領域の読み出しを可能とした固体撮像装置を提供する。

【構成】 スイッチ部2とシフトレジスタ部3とからなる走査回路部1と、読み出し部4と、受光部6とで固体撮像装置が構成され、前記走査回路部1のシフトレジスタ部3は3つのブロックに分割され、スイッチ部2は各ブロックの初段入力部に走査開始パルスを選択的に供給するための第1のスイッチと、ブロックの最終段出力部と隣接ブロックの初段入力部とを接離する第2のスイッチとで構成され、第1のスイッチの開閉制御でシフトレジスタのシフト動作の開始を、第2のスイッチの開閉制御によりシフト動作停止を行う。



1: 走査回路部

2: スイッチ部

3: シフトレジスタ部

4: 出力読み出し部

5: スイッチングトランジスタ

6: 受光部

7: 受光素子

8: 出力端子

1

【特許請求の範囲】

【請求項1】 受光画素を1次元あるいは2次元に配列した受光部と、受光部を走査するシフトレジスタを用いた走査回路部と、信号読み出し部とを備えた固体撮像装置において、前記走査回路部を構成するシフトレジスタを複数のブロックに分割し、任意のブロックのシフトレジスタの初段入力部に、走査開始パルスを選択的に供給するための第1のスイッチ手段と、任意のブロックのシフトレジスタの最終段出力部と、隣接するブロックのシフトレジスタの初段入力部とを電気的に分離あるいは接

続するための第2のスイッチ手段とを設けたことを特徴とする固体撮像装置。

【請求項2】 受光画素を1次元あるいは2次元に配列した受光部と、受光部を走査するシフトレジスタを用いた走査回路部と、信号読み出し部とを備えた固体撮像装置において、前記走査回路部を構成するシフトレジスタを複数のブロックに分割し、任意のブロックのシフトレジスタの初段入力部に、走査開始パルスを選択的に供給するための第1のスイッチ手段と、任意の分割されたブ

ロックのシフトレジスタの最終段出力部の出力を他のい

【請求項3】 前記第1及び第2のスイッチ手段の開閉状態を制御するためのスイッチ制御手段は、固体撮像装置と同一チップ内に形成されていることを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】 前記第1及び第2のスイッチ手段を制御するためのスイッチ制御手段は、シフトレジスタとラッチ回路とで構成され、シリアル信号入力をパラレル信号出力に変換する機能を備えていることを特徴とする請求項3記載の固体撮像装置。

【請求項5】 前記シフトレジスタの各ブロックに、ブロックのシフトレジスタの初段入力部を所定の電圧レベルに固定し全段の出力を同一にして走査を行わせないための第3のスイッチ手段を備えていることを特徴とする請求項1又は2記載の固体撮像装置。

【請求項6】 前記シフトレジスタのブロックの最終段出力部に、該最終段出力を外部に送出するための第4のスイッチ手段を備えていることを特徴とする請求項1、2、5のいずれか1項に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、受光面の任意領域の受光画素の出力を読み出すことの可能な固体撮像装置に関する。

【0002】

【従来の技術】従来、受光面の任意領域の受光画素の読み出し可能な固体撮像装置としては、受光画素の出力を時系列的に読み出すための走査手段であるシフトレジ

2

スタを複数のブロックに分割し、各分割したブロックに対応した領域を読み出す方法が知られている。例えば、特開平4-277986号には、図29に示すような構成の走査回路が開示されている。この走査回路のシフトレジスタ部は、2段のCMOSクロックドインバータからなる単位回路200を9段縦続接続したものと、1段のCMOSクロックドインバータ201とで構成され、クロックパルス Φ_1 、 Φ_2 及びその反転パルスである $\neg\Phi_1$ 、 $\neg\Phi_2$ により駆動されるようになっている。そして上記シフトレジスタ部は3つのブロックに分割され、1ブロックが3つの単位回路200からなる構成となっており、各単位回路にはそれぞれ出力端子 O_{1A} 、 O_{2A} 、 \dots 、 O_{3C} が設けられている。また走査開始パルスを選択的に各ブロックのノードa、b、cに入力する手段として、制御パルス Φ_{STB} 、 Φ_{STB} 、 Φ_{STC} で制御されるトライステートバッファ202、203、204が用いられている。

【0003】次に、図30に示すタイミングチャートを用いて、図29に示した走査回路の動作を説明する。図30はブロックBに対応する受光面のみを走査する場合の信号波形を示すタイミングチャートである。この場合、制御パルス Φ_{STB} をクロックパルス Φ_1 の立ち上がり同期して“H”レベルとする。トライステートバッファ203は、この制御パルス Φ_{STB} が“H”レベルの期間($t=t_1 \sim t_4$)、クロックパルス $\neg\Phi_1$ を出力する。出力端子 O_{1B} の出力は、クロックパルス Φ_2 が“L”レベルとなると、ノードbの状態がクロックドインバータ205に取り込まれるので、 $t=t_2$ で“H”レベルとなる。以下クロックパルス Φ_1 、 Φ_2 に同期して出力端子 O_{2B} 、 O_{3B} からパルスが順次出力される。出力端子 O_{3B} に出力がなされた後、シフトレジスタのシフト動作を停止するために、 $t=t_5$ でクロックパルス Φ_1 、 Φ_2 とも“L”レベルにし、シフトレジスタを構成する全てのクロックドインバータを単なるインバータとして動作させる。このようにクロックパルスを制御することにより、シフト動作を停止させることができる。

【0004】更に、シフトレジスタを初期化するためには、クロックパルス Φ_1 、 Φ_2 ともに“L”レベルの状態のまま、初段のクロックドインバータ201の入力が“H”レベルであることを利用し、全ての出力端子 O_{1A} 、 O_{2A} 、 \dots 、 O_{3C} の出力を“L”レベルにする。すなわち、シフトレジスタのシフト動作停止直前には“H”レベルであった O_{3B} についても、初段ビットの“L”レベルが伝達される。このようにシフトレジスタの全出力が“L”レベルに固定された時に、初期化が完了し、次の走査が可能となる。

【0005】図31は、図29に示した走査回路を用いた固体撮像装置の構成例を示す概略構成図である。受光部300は、受光画素301が9個ライン状に配置され、3個の受光画素を1ブロックとして構成している。受光画素の出力読み出し部302は、図29に示した構成の走査回路30

5により駆動される、9個の信号読み出しスイッチ303で構成され、信号読み出しスイッチ303はゲートに“H”レベルが印加された時のみ“ON”し、受光画素301の出力を端子304に出力するようになっている。本構成において、図30のタイミングチャートに示したようにブロックBのみを走査した場合、図32に示すように、1次元の受光面のうち、斜線で示した中央ブロックのみの領域を読み出すことになる。

【0006】

【発明が解決しようとする課題】図29に示した構成の走査回路においては、シフトレジスタのシフト動作を停止する際に、クロックパルスの制御が複雑である。また、シフトレジスタを初期化する際に、シフトレジスタの全出力を“L”レベルにするのに時間がかかり、更に、本来、不要な受光画素の出力を読み出してしまふ恐れがあるという等の問題がある。上記問題点を詳細に説明すると、図29で示した従来の走査回路では、所定のブロックのみで走査を停止する際に、そのブロックのシフトレジスタのシフト動作が終了後、クロックパルスを“L”レベルに固定するという複雑なクロックパルスの制御を必要とし、これに伴い周辺回路の駆動方法も複雑となる。

【0007】また、シフトレジスタの全出力を“L”レベルにするという初期化動作は、初段ビットの“L”レベルがシフトレジスタを時系列的に伝達していく動作である。したがって、クロックドインバータ自体の遅延時間が障害となり、この初期化動作に対して上記遅延時間を割り当てる必要がある。この遅延時間は信号読み出しをできない時間であり、一部の領域のみの読み出しにおける効果の一つである高フレームレートには不利となる。また、この遅延時間はシフトレジスタを構成するクロックドインバータの段数、トランジスタサイズ、電源電圧などのパラメータにより変動し、タイミング設計上非常に大きな問題となる。

【0008】更に、初期化動作において、動作停止直前に選択されていたビットの“H”レベルが、ある期間初期化の進行方向に伝達してしまい、本来動作してはならない信号読み出しスイッチを“ON”させ、不要な受光画素の出力を読み出してしまふという現象を生じさせる問題点がある。

【0009】本発明は、上記問題点を解消するためになされたもので、受光画素の走査手段であるシフトレジスタの動作停止、及び初期化動作に関する問題を発生せずに、受光面の任意領域の受光画素の出力を読み出し可能な固体撮像装置を提供することを目的とする。

【0010】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、受光画素を1次元あるいは2次元に配列した受光部と、受光部を走査するシフトレジスタを用いた走査回路部と、信号読み出し部とを備えた固体撮像装置において、前記走査回路部を構成するシフト

レジスタを複数のブロックに分割し、任意のブロックのシフトレジスタの初段入力部に、走査開始パルスを選択的に供給するための第1のスイッチ手段と、任意のブロックのシフトレジスタの最終段出力部と、隣接するブロックのシフトレジスタの初段入力部とを電気的に分離あるいは接続するための第2のスイッチ手段とを設けるものである。

【0011】このように構成した固体撮像装置において、第1のスイッチ手段及び第2のスイッチ手段を選択的に駆動することにより、任意のブロックのシフトレジスタのシフト動作を開始させ、シフトレジスタを駆動するクロックパルスの複雑な制御なしで、任意のブロックのシフトレジスタのシフト動作を停止させることができ、またシフトレジスタの初期化動作の必要がなく、これに伴う問題を生じさせることなく、受光面の任意領域の読み出しが可能となる。

【0012】

【実施例】(第1実施例)次に実施例について説明する。図1は、本発明をラインセンサに適用した第1実施例を示す概略構成図である。図1において、1は走査回路部で、該走査回路部1はスイッチ部2とシフトレジスタ部3とで構成されている。受光画素の出力読み出し部4は、9個の信号読み出しスイッチングトランジスタ5で構成され、ゲートに“H”レベルが印加された時のみ“ON”し、受光画素7の出力を端子8に出力するようになっている。受光部6は、受光画素7が9個ライン状に配置され、3個の受光画素を1ブロックとしている。

【0013】図2は、走査回路部1の詳細な回路構成図である。図2において、受光画素の出力を時系列的に読み出すための走査手段であるシフトレジスタ部は、2段のCMOSクロックドインバータからなる単位回路18を9段縦続接続したもので構成され、クロックパルス Φ_1 、 Φ_2 及び、その反転パルス $\neg\Phi_1$ 、 $\neg\Phi_2$ により駆動される。上記シフトレジスタ部は3つのブロックA、B、Cに分割され、1ブロックが3つの単位回路18からなる構成となっている。各単位回路18にはそれぞれ出力端子 O_{1A} 、 O_{2A} 、 \dots 、 O_{3C} が設けられている。19-1、19-2は1段のクロックドインバータであり、クロックパルス Φ_2 、 $\neg\Phi_2$ により駆動されるようになっている。

【0014】スイッチ部について説明すると、スイッチ11-1、11-2、11-3は走査開始を指示するためのパルス（以下スタートパルスと称する）を、分割された各ブロックのシフトレジスタの初段入力部に選択的に供給するためスイッチ（以下スタート位置選択スイッチと称する）であり、スイッチ15-1、15-2は分割ブロックのシフトレジスタの最終段出力がなされた後、その分割ブロックで走査を終了するか、あるいは、次ブロックのシフトレジスタの初段入力部に最終段出力を入力するかを選択するためのスイッチ（以下ストップ位置選択スイッチと

5

称する)である。スイッチ12-1, 12-2, 12-3、及びスイッチ16-1, 16-2により、走査を行わないブロックのシフトレジスタの初段入力を“L”レベルにすることによって、そのブロックのシフトレジスタの全出力を“L”レベルにする。またスイッチ12-2, 12-3は、スタートパルス Φ_{ST} が入力されるブロックのシフトレジスタの初段入力部と、隣接する前ブロックのシフトレジスタの最終段出力部とを電気的に切り離す機能も持っている。またスイッチ13-1, 13-2, 13-3、及びスイッチ14-1, 14-2, 14-3により、3入力NOR回路17からパルス Φ_{EOS} を出力するようになっている。

【0015】なお上記各スイッチは、CMOSクロックドインバータ、CMOSTランスフェーゲート、トライステートバッファ、PMOSTランジスタ、NMOSTランジスタ等、電気的にスイッチングの機能を有するものであれば、何れでも用いることができる。このことは、以下全ての実施例についても同様である。

【0016】次に、図2に示した走査回路部の説明に入る前に、2段のCMOSクロックドインバータからなる単位回路18について説明する。図3は、トランジスタレベルで示した単位回路の回路構成図である。1段目のクロックドインバータ18-0は、2個のp-MOSFET 1, 2と2個のn-MOSFET 1, 2とを直列接続し、p-MOSFET 1とn-MOSFET 2の各ゲートに共通に入力信号INを印加し、p-MOSFET 2のゲートにはクロックパルス Φ_1 、n-MOSFET 1のゲートにはクロックパルス Φ_2 が印加されるように構成されている。また2段目のクロックドインバータ18-1は、同様にp-MOSFET 3, 4とn-MOSFET 3, 4とからなり、p-MOSFET 3とn-MOSFET 4の各ゲートには1段目のクロックドインバータ18-0の出力Mが接続され、p-MOSFET 4のゲートにはクロックパルス Φ_2 、n-MOSFET 3のゲートにはクロックパルス Φ_1 が印加されるように構成されている。そしてp-MOSFET 1, 3のソースは電源 V_{DD} に、n-MOSFET 2, 4のソースは電源 V_{SS} に接続されている。

【0017】次に、図4のタイミングチャートを用いて単位回路18の動作を説明する。 $t=t_0$ で入力パルスINが“H”レベルとなり、 $t=t_1$ でクロックパルス Φ_1 が“L”レベルとなると、1段目のクロックドインバータ18-0のp-MOSFET 2, n-MOSFET 1, 2が導通し、1段目のクロックドインバータ18-0の出力Mは、“L”レベルとなる。次に、 $t=t_3$ でクロックパルス Φ_2 が“L”レベルとなると、2段目のクロックドインバータ18-1のp-MOSFET 3, 4, n-MOSFET 3が導通し、2段目のクロックドインバータ18-1の出力OUTは“H”レベルとなる。 $t=t_4$ で入力パルスINが“L”レベルとなった後、 $t=t_5$ でクロックパルス Φ_1 が“L”レベルとなると、上記と同様な

6

動作の結果、1段目のクロックドインバータ18-0の出力Mは“H”レベルとなる。 $t=t_7$ でクロックパルス Φ_2 が“L”レベルとなると、上記と同様な動作の結果、出力OUTは“L”レベルとなる。

【0018】次に、図5及び図6のタイミングチャートを用いて、図2に示した走査回路部の動作を説明する。図5はブロックA, B, Cに対応する受光面を全て走査する通常走査の場合の信号波形を示すタイミングチャートである。まず、この場合の動作について説明する。図2において、スタート位置選択スイッチ11-1が“ON”、11-2, 11-3は“OFF”とし、ストップ位置選択スイッチ15-1, 15-2が“ON”とする。また、スイッチ12-1は“OFF”、12-2, 12-3が“ON”、スイッチ13-1, 13-2は“OFF”、13-3が“ON”、スイッチ14-1, 14-2が“ON”、14-3は“OFF”、スイッチ16-1, 16-2は“OFF”とする。

【0019】上記のようにスイッチ群の開閉状態を設定した後、スタートパルス Φ_{ST} を入力すると、スタートパルス Φ_{ST} は、スタート位置選択スイッチ11-1を介してノードSA1に現れ、ブロックAのシフトレジスタの初段入力パルスとなり、クロックパルス Φ_1 、 Φ_2 に同期し、順次シフトしたパルスが出力端子O1A, O2A, O3Aに出力され、ブロックAに対応する受光面の領域の受光画素を走査する。ノードMA1に現れるパルスは、1段のクロックドインバータ19-1, ストップ位置選択スイッチ15-1、及びスイッチ12-2を介してノードSB1に伝わり、ブロックBのシフトレジスタの初段入力パルスとなる。出力端子O3Aに出力されるパルスとノードSB1に現れるパルスとは、同一パルスである。また、ノードEA1は常に“L”レベルとなる。ノードSB1に現れたパルスが、クロックパルス Φ_1 、 Φ_2 に同期し、順次シフトし、出力端子O1B, O2B, O3Bに出力され、ブロックBに対応する受光面の領域の受光画素を走査する。

【0020】ノードMB1に現れるパルスは1段のクロックドインバータ19-2, ストップ位置選択スイッチ15-2, スwitch12-3を介してノードSC1に伝わり、ブロックCのシフトレジスタの初段入力パルスとなる。出力端子O3Bに出力されるパルスとノードSC1に現れるパルスとは、同一パルスである。また、ノードEB1は常に“L”レベルとなる。ノードSC1に現れたパルスが、クロックパルス Φ_1 、 Φ_2 に同期し、順次シフトし、出力端子O1C, O2C, O3Cに出力され、ブロックCに対応する受光面の領域の受光画素を走査する。

【0021】ノードMC1に現れるパルスはスイッチ13-3を介して、ノードEC1に現れる。ノードEA1, ノードEB1, ノードEC1に現れるパルスが、3入力NOR回路17の入力パルスとなり、シフトレジスタの動作終了を示すパルス Φ_{EOS} が出力される。以上説明したように、上記のようにスイッチ群の状態を設定することにより、ブロックA, B, Cに対応する受光面の受光画素

を、時系列的に全て走査する通常走査を行うことができる。

【0022】次に、ブロックBに対応する受光面のみを走査する場合を、その場合の信号波形を示す図6のタイミングチャートに基づいて説明する。図2において、スタート位置選択スイッチ11-2が“ON”、11-1、11-3は“OFF”とし、ストップ位置選択スイッチ15-1が“ON”、15-2は“OFF”とする。また、スイッチ12-1、12-3が“ON”、12-2は“OFF”、スイッチ13-1、13-3は“OFF”、13-2が“ON”、スイッチ14-1、14-3が“ON”、14-2は“OFF”、スイッチ16-1は“OFF”、16-2が“ON”とする。

【0023】このようにスイッチ群の開閉状態を設定すると、ノードSA1は常に“L”レベルとなり、これがブロックAのシフトレジスタの初段入力パルスとなるので、ブロックAのシフトレジスタの出力端子O1A、O2A、O3Aには常に“L”レベルの出力がされ、ブロックAに対応する受光面の領域の受光画素を走査しない。ノードMA1は常に“H”レベルとなり、またノードEA1は常に“L”レベルとなる。

【0024】スタートパルス Φ_{ST} を入力すると、ノードMA1に現れる“H”レベルはノードSB1に伝わることなく、スタートパルス Φ_{ST} がノードSB1に現れ、ブロックBのシフトレジスタの初段入力パルスとなり、クロックパルス Φ_1 、 Φ_2 に同期して順次シフトし、出力端子O1B、O2B、O3Bに出力され、ブロックBに対応する受光面を走査する。また、ノードMB1に現れるパルスはスイッチ13-2を介して、ノードEB1に現れる。ノードSC1は常に“L”レベルとなり、これがブロックCのシフトレジスタの初段入力パルスとなるので、ブロックCのシフトレジスタの出力端子O1C、O2C、O3Cには常に“L”レベルの出力がされ、ブロックCに対応する受光面を走査しない。ノードMC1は常に“H”レベルとなる。またノードEC1は常に“L”レベルとなる。ノードEA1、ノードEB1、ノードEC1に現れるパルスが、3入力NOR回路17の入力パルスとなりシフトレジスタの動作終了を示すパルス Φ_{EOS} が出力される。

【0025】したがって、以上のようにスイッチ群の開閉状態を設定することにより、ブロックBに対応する受光面の受光画素のみを時系列的に走査することができる。なお、本実施例において、図5、図6のタイミングチャートに示したような走査をした場合、それぞれ図7の(A)、(B)に示すように、1次元の受光面のうち、斜線で示した領域を読み出すことになる。

【0026】以上説明したように、本実施例によれば、シフトレジスタのシフト動作停止は、各ブロック間に設けられているスイッチの開閉状態を制御することにより行われるため、複雑なクロックパルスの制御は不要である。また従来のように、シフトレジスタの初期化動作は

必要がなく、したがって、これに伴う問題を生じない。また、走査しないブロックにおいては、各ブロックのシフトレジスタの初段入力部をある一定の電圧レベルに固定するためのスイッチを設けたことにより、そのブロックのシフトレジスタの全出力を“L”レベルに固定し、信号読み出しスイッチングトランジスタを“OFF”させ、受光画素の出力を読み出すことはない。更に、各ブロックのシフトレジスタの最終段出力部に、その最終段出力を送出するためのスイッチを設けたことにより、ある分割ブロックのシフトレジスタが走査され最終段出力がなされた後、走査終了を示すパルスが出力されるので、シフトレジスタの動作確認が容易にできる。

【0027】なお上記第1実施例では、受光画素の走査手段であるシフトレジスタを3つのブロックに分割し、1ブロックが3個の受光画素を走査する場合を示したが、ブロックの分割数、及び1ブロックを構成するクロックインバータの段数は、いくつであってもよい。また、受光画素1個毎に対応させた場合には、受光画素単位での受光面の任意領域を読み出すことも可能となる。更に、この実施例ではCMOSクロックインバータを用いてシフトレジスタを構成したものを示したが、シフトレジスタの具体的な回路構成については、これに限らず種々の構成のものを用いることができる。

【0028】また、本実施例において、受光画素の出力読み出し部4を図8に示すような構成に変更することにより、複数のブロックを並列走査し、同時に複数のブロックの受光画素の出力を得ることもできる。すなわち、スイッチ20-1、20-2、…20-9により受光画素の出力S1A、S2A、…S3Cを出力端子SIG-1、SIG-2、SIG-3、又は出力端子SIG-4のどちらに出力するかを選択する。スイッチ21-1、21-2、…21-9は、スイッチ20-1、20-2、…20-9の信号により制御され、スイッチ20-1、20-2、…20-9が端子H1、H2、…H9側に“ON”している場合に、入力端子I1A、I2A、…I3Cに入力されるパルスが“H”レベルの期間、受光画素の出力S1A、S2A、…S3Cを出力端子SIG-1、SIG-2、SIG-3に出力する。スイッチ22-1、22-2、…22-9もスイッチ21-1、21-2、…21-9と同様に、スイッチ20-1、20-2、…20-9が端子D1、D2、…D9側に“ON”している場合に、受光画素の出力S1A、S2A、…S3Cを出力端子SIG-4に出力する。

【0029】次に、図2に示した走査回路部の出力端子O1A、O2A、…O3Cを、図8における入力端子I1A、I2A、…I3Cにそれぞれ接続した場合の動作について説明する。図9は、ブロックA、B、Cに対応する受光面を全て走査する通常走査の場合の信号波形、及び受光画素の信号出力波形を示すタイミングチャートであり、図10は、ブロックA、B、Cに対応する受光面を各ブロック同時にスタートパルス Φ_{ST} を供給して並列走査する場合の信号波形、及び受光画素の信号出力波形を示すタ

イメージングチャートである。まず、ブロックA、B、Cに対応する受光面を全て走査する通常走査の場合の動作について説明する。図2に示した走査回路部は、図9に示す信号波形 O_{1A} 、 O_{2A} 、 \dots 、 O_{3C} が出力されるようにスイッチ群の開閉状態を設定する。図8に示した受光画素の出力読み出し回路は、スイッチ20-1、20-2、 \dots 、20-9を端子 D_1 、 D_2 、 \dots 、 D_9 側に“ON”することにより、出力端子SIG-4に受光画素の出力がされる。なお、図9において、下部に示す(SIG-1)、(SIG-2)、(SIG-3)は、スイッチ20-1、20-2、 \dots 、20-9を端子 H_1 、 H_2 、 \dots 、 H_9 側に“ON”した場合の受光画素の信号出力波形である。

【0030】次に、ブロックA、B、Cに対応する受光面を、各ブロックに同時にスタートパルス Φ_{ST} を供給して並列走査する場合の動作について説明する。図2の走査回路部は、図10に示す信号波形 O_{1A} 、 O_{2A} 、 \dots 、 O_{3C} が出力されるようにスイッチ群の開閉状態を設定する。図8に示した受光画素の出力読み出し回路は、スイッチ20-1、20-2、 \dots 、20-9を端子 H_1 、 H_2 、 \dots 、 H_9 側に“ON”することにより、出力端子SIG-1、SIG-2、SIG-3に受光画素の出力がされる。なお、図10において、下部に示す(SIG-4)は、スイッチ20-1、20-2、 \dots 、20-9を端子 D_1 、 D_2 、 \dots 、 D_9 側に“ON”した場合の受光画素の信号出力波形であり、受光画素の3加算出力 $S_{1A}+S_{1B}+S_{1C}$ 、 $S_{2A}+S_{2B}+S_{2C}$ 、 $S_{3A}+S_{3B}+S_{3C}$ を得ることができる。なお、出力端子数は図8に示したものに限らず、いくつでもよい。また、同時に走査するブロックの組み合わせも自由である。

【0031】以上説明したように、図8に示した受光画素の出力読み出し回路を、図1に示した第1実施例の受光画素の出力読み出し部4として用いた場合、同時に複数のブロックの受光画素の出力を得ることができる。

【0032】(第2実施例)次に、第2実施例について説明する。図11は、本発明をラインセンサに適用した第2実施例を示す概略構成図である。図1に示した第1実施例において、図2に示した走査回路部のスイッチ群をチップ外部から個々に制御するためには、入力端子数はスイッチの個数すなわち16個必要となり、チップサイズが大きくなる等の問題を生じる。この第2実施例は、上記スイッチ群を制御する回路をセンサと同一チップ内に形成し、走査するブロック位置をシリアル信号で時系列的に投入し、パラレル信号として出力することにより、上記入力端子数に関する問題を解決しようとするものである。

【0033】図11に示した構成は、図1に示した第1実施例と走査回路部1-1の構成以外は同様である。すなわち、走査回路部1-1は、図1に示した第1実施例における走査回路部1にスイッチ制御回路部30を付加したものである。図12は、スイッチ制御回路部30の詳細な回路構成を示す図である。このスイッチ制御回路部は、2段の

CMOSクロックドインバータからなる単位回路18と、スイッチとインバータからなるラッチ単位回路31と、1段のCMOSクロックドインバータ32と、インバータ33、35、及び2入力NOR回路34-1、34-2とを、図12に示すように接続して構成されている。なお、CMOSクロックドインバータはクロックパルス Φ_{K1} 、 Φ_{K2} 、及びその反転パルス $\neg\Phi_{K1}$ 、 $\neg\Phi_{K2}$ により駆動されるようになっている。

【0034】この図12に示したスイッチ制御回路部の説明に入る前に、まずラッチ単位回路31について説明する。図13はラッチ単位回路31の構成図である。このラッチ単位回路31はスイッチ36、37、及びインバータ38、39、40とで構成されており、スイッチ36、37は、それぞれパルス Φ_H 及びその反転パルス $\neg\Phi_H$ により制御され、パルス Φ_H 、 $\neg\Phi_H$ が“H”レベルの期間“ON”し、“L”レベルの期間“OFF”するようになっている。次に、図14に示すタイミングチャートを用いて、ラッチ単位回路31の動作を説明する。 $t=t_0 \sim t_2$ の期間“H”レベルのパルスINと、 $t=t_1 \sim t_3$ の期間“L”レベルのパルス Φ_H とを入力する。 $t=t_0 \sim t_1$ の期間、パルス Φ_H が“H”レベル、パルス $\neg\Phi_H$ は“L”レベルであり、スイッチ36は“OFF”、スイッチ37が“ON”しているので、パルスINはノードM1に伝わり、パルスOUTにはスイッチ37とインバータ38、39とにより、ラッチされていたある初期状態が出力される。このとき、ノードM2にはノードM1の反転パルスが現れる。 $t=t_1 \sim t_3$ の期間、パルス Φ_H は“L”レベル、パルス $\neg\Phi_H$ が“H”レベルであり、スイッチ36は“ON”、スイッチ37が“OFF”しているので、パルスINはスイッチ36及びインバータ38、40を介してパルスOUTとして出力される。 $t=t_3$ になると、スイッチ36は“OFF”、スイッチ37が“ON”するので、 $t=t_3$ のタイミングにおけるパルスINの状態をラッチし、パルスOUTとして出力する。そして、パルス Φ_H 、 $\neg\Phi_H$ が、それぞれ再度“L”レベル、“H”レベルになるまで、 $t=t_3$ のタイミングにおけるパルスINの状態をラッチし、パルスOUTに同じ状態を出力し続ける。

【0035】次に、図15を用いて図12に示したスイッチ制御回路部の動作を説明する。図15は、受光画素の走査手段であるシフトレジスタを3ブロックA、B、Cに分割した内、ブロックBのみを走査する場合のスイッチ群を制御するタイミングチャートである。図15中の記号A、B、Cは、全て、シフトレジスタのブロックの選択に関する情報を有しており、3ブロックA、B、Cに対応している。受光画素の読み出し走査を行うブロックが“H”レベル、読み出し走査を行わないブロックは“L”レベルの情報を与える。すなわち、Bに“H”レベル、A、Cに“L”レベルの情報を与え、これをシリアル信号で時系列的にC、B、Aの順にシリアルパルス

11

Φ_s としてチップ外部から入力する。

【0036】これにより、クロックパルス Φ_{K1} 、 Φ_{K2} に同期し、順次シフトしたパルスがノードP1、P2、P3に現れる。ノードP1に現れたパルスと、ノードP2に現れたパルスのインバータ33を介した反転パルス/P2とが2入力NOR回路34-1にされ、その出力がノードST0に現れる。すると、クロックパルス Φ_{K1} 、 Φ_{K2} に同期し、順次シフトしたパルスがノードST1、ST2、ST3に現れる。また、ノードP2に現れたパルスの反転パルス/P2と、ノードP3に現れたパルスとが、2入力NOR回路34-2にされ、その出力がノードSE0に現れる。すると、クロックパルス Φ_{K1} 、 Φ_{K2} に同期し、順次シフトしたパルスがノードSE1、SE2、SE3に現れる。

【0037】更に、ラッチするタイミングを決定するパルス Φ_K を入力すると、クロックパルス Φ_{K1} 、 Φ_{K2} に同期し、順次シフトしたパルスがノードK1、K2、K3、K4、K5に現れ、ノードK5に現れたパルスがインバータ35を介し反転されて、ノードK6に現れる。ノードST1、ST2、ST3、及びノードSE1、SE2、SE3に現れるパルスは、 $t=t_1 \sim t_3$ の期間、それぞれ出力端子KS1、KS2、KS3、KE1、KE2、KE3に出力され、 $t=t_3$ のタイミングで状態がラッチされる。そして出力端子KS1、KS2、KS3に現れたパルスで、受光画素の読み出し走査を開始するブロックを選択し、出力端子KE1、KE2、KE3に現れたパルスで、受光画素の読み出し走査を終了するブロックを選択する。この場合、 $t=t_3$ のタイミングで、出力端子KS1、KS2、KS3、KE1、KE2、KE3に、それぞれ“L”、“H”、“L”、“L”、“H”、“L”レベルがラッチされる。

【0038】以上のように、この図12に示したスイッチ制御回路部を用いることにより、読み出し走査を開始するブロック、及び読み出し走査を終了するブロックの位置を選択するためのシリアルパルス Φ_s を入力すると、各ブロックのスイッチの制御信号をパラレル信号として得ることができる。

【0039】次に、図11に示した第2実施例において、ブロックBに対応する受光面のみを走査する場合の動作について説明する。図16は、図2に示した第1実施例の走査回路部に、受光画素の読み出し走査を開始するブロックを選択するためのパルス入力端子IKS1、IKS2、IKS3、読み出し走査を終了するブロックを選択するためのパルス入力端子IKE1、IKE2、IKE3、及びインバータ41-1、41-2、...、41-6を付加した第2実施例の走査回路部の回路構成図である。図12に示したスイッチ制御回路部の出力端子KS1、KS2、KS3、KE1、KE2、KE3を、図16に示す入力端子IKS1、IKS2、IKS3、IKE1、IKE2、IKE3にそれぞれ接続する。なお、図16中のスイッチは

12

全て制御信号が“H”レベルの時“ON”し、“L”レベルの時“OFF”するものとする。図15に示した出力端子KS1、KS2、KS3、KE1、KE2、KE3に現れるパルスが、そのまま図16に示す入力端子IKS1、IKS2、IKS3、IKE1、IKE2、IKE3にされる。

【0040】 $t=t_3$ のタイミングで状態がラッチされるので、スイッチ群はこれに対応した状態を保持することになる。これは、図2に示した第1実施例の走査回路部で説明した、ブロックBに対応する受光面のみを走査する場合のスイッチ群の状態と同様である。この状態でスタートパルス Φ_{st} を入力すると、ブロックBに対応する受光面のみを走査することができる。また、スイッチ群は、状態を一度設定しておけば、再びパルス Φ_K が“H”レベルになるまで、その状態を保持し続けるので、ブロックBに対応する受光面のみを繰り返し走査することができる。図2に示した第1実施例の走査回路部のスイッチ群を、チップ外部から個々に制御するためには、入力端子数は16個必要であったが、本実施例においては、図12に示したスイッチ制御回路部を用いたことにより、入力端子数を4個にすることができる。更に、クロックパルス Φ_{K1} 、 Φ_{K2} をクロックパルス Φ_1 、 Φ_2 に置き換えれば、入力端子数を2個にすることも可能である。

【0041】以上説明したように、本実施例によれば、受光画素の読み出し走査を開始するブロック、及び読み出し走査を終了するブロックの位置をシリアル信号として入力することができるので、チップ外部からスイッチ手段を個々に制御する場合に比べ、入力端子数を大幅に削減することができ、周辺回路の複雑化を回避できる。なお上記第2実施例においては、シフトレジスタを3ブロックA、B、Cに分割し、ブロックBに対応する受光面のみを走査する場合の動作を説明したが、ブロックの分割数、及び読み出し走査を行うブロックの位置が変わっても、本実施例のシフトレジスタを構成するクロックドインバータと、ラッチ回路の段数、及びシリアルパルス Φ_s 、パルス Φ_K を変えることにより、対応できることは自明のことである。

【0042】(第3実施例) 次に、第3実施例について説明する。図17は、第3実施例の走査回路部の構成を示す回路構成図である。この実施例の走査回路部の構成は、図2に示した第1実施例の走査回路部とは、各ブロックに設けられているスイッチ群の構成が異なっている。したがって、本実施例においては、各ブロックに設けられているスイッチ群の構成についてのみ説明する。51-1、51-2、51-3はスタート位置選択スイッチで、該スタート位置選択スイッチ51-1、51-2、51-3により、分割された各ブロックのシフトレジスタの初段入力部に、スタートパルス Φ_{st} を選択的に供給するようになっている。一方、ストップ位置選択スイッチ55-1、55-2によ

13

り、分割ブロックのシフトレジスタの最終段出力がなされた後、その分割ブロックで走査を終了するか、あるいは、次ブロックのシフトレジスタの初段入力部に最終段出力を入力するかを選択するように構成されている。またスイッチ52-1、52-2、52-3により、走査を行わないブロックのシフトレジスタの初段入力を“L”レベルにすることによって、そのブロックのシフトレジスタの全出力を“L”レベルにする。スイッチ56-1、56-2は、スタートパルス Φ_{st} が入力されるブロックのシフトレジスタの初段入力部と、隣接する前ブロックのシフトレジスタの最終段出力部とを電気的に切り離すものであり、またスイッチ53-1、53-2、53-3、及びスイッチ54-1、54-2、54-3により、3入力NOR回路17とインバータ57とを介してパルス Φ_{80s} を出力するようになっている。

【0043】次に、図18を用いて図17に示した走査回路部の動作について説明する。図18は、ブロックA、Bに対応する受光面を、ブロックA、Bの順序で走査する場合の信号波形を示すタイミングチャートである。図17において、スタート位置選択スイッチ51-1が“ON”、51-2、51-3は“OFF”であり、ストップ位置選択スイッチ55-1が“ON”、55-2は“OFF”である。また、スイッチ52-1、52-2は“OFF”、52-3が“ON”、スイッチ53-1、53-3は“OFF”、53-2が“ON”、スイッチ54-1、54-3が“ON”、54-2は“OFF”、スイッチ56-1、56-2が“ON”である。このようにスイッチ群の開閉状態を設定した後、スタートパルス Φ_{st} を入力すると、スタートパルス Φ_{st} はスタート位置選択スイッチ51-1を介して、ノードSA2に現れ、ブロックAのシフトレジスタの初段入力パルスとなり、クロックパルス Φ_1 、 Φ_2 に同期し、順次シフトしたパルスが出力端子O1A、O2A、O3Aに出力され、ブロックAに対応する受光面を走査する。

【0044】ブロックAのシフトレジスタの最終段出力が、ストップ位置選択スイッチ55-1、及びスイッチ56-1を介してノードSB2に伝わり、ブロックBのシフトレジスタの初段入力パルスとなる。また、ノードEA2は常に“L”レベルとなる。ノードSB2に現れたパルスが、クロックパルス Φ_1 、 Φ_2 に同期して順次シフトし、出力端子O1B、O2B、O3Bに出力され、ブロックBに対応する受光面を走査する。また、ブロックBのシフトレジスタの最終段出力が、スイッチ53-2を介してノードEB2に現れる。ノードSC2は常に“L”レベルとなり、これがブロックCのシフトレジスタの初段入力パルスとなるので、ブロックCのシフトレジスタの出力端子O1C、O2C、O3Cには常に“L”レベルの出力がされ、ブロックCに対応する受光面を走査しない。ノードEC2は常に“L”レベルとなる。ノードEA、EB、ECに現れるパルスが3入力NOR回路17の入力パルスとなり、シフトレジスタの動作終了を示すパルス Φ_{80s} が出力される。

14

【0045】このように、上記スイッチ群の開閉状態を設定することにより、ブロックA、Bに対応する受光面をブロックA、Bの順序で走査することができる。本実施例において、図18のタイミングチャートで示した走査をした場合、図19に示すように、1次元の受光面のうち、斜線で示した領域を読み出すことになる。

【0046】以上説明したように、本実施例においても、第1実施例と同様に、シフトレジスタのシフト動作停止に関する問題を発生せずに、また初期化動作を行うことなく受光面の任意領域を読み出すことができ、第1実施例と同等の効果が得られる。更に、本実施例は第1実施例と比べ、スイッチ群の構成を簡単にできるという利点を有している。なお、本実施例の走査回路部を用いて、図11に示した第2実施例のように構成したり、あるいは本実施例の走査回路部に対して、図8に示した受光面素の出力読み出し回路を用いて、並列読み出しを実現できるように構成したりすることができることは、いうまでもない。

【0047】(第4実施例)次に第4実施例について説明する。本実施例は、第1、3実施例に示した走査回路部の構成では実現できない、ブロックの飛び越し走査(例えば、ブロックAを走査した後、ブロックCを走査する場合である。)を実現できるように構成したものである。

【0048】図20は、第4実施例の走査回路部の構成を示す回路構成図である。本実施例も図2に示した第2実施例の走査回路部の構成とは、各ブロックに設けられているスイッチ群の構成のみが異なっているため、各ブロックに設けられているスイッチ群の構成についてのみ説明する。スイッチ61-1、61-2、61-3、及びスイッチ63-1、63-2、63-3により、分割された各ブロックのシフトレジスタの初段入力部に、スタートパルス Φ_{st} を選択的に供給するように構成している。また、スイッチ61-1、61-2、61-3、及びスイッチ63-1、63-2、63-3は、その分割ブロックで走査を終了するか、あるいは、次に走査するブロックのシフトレジスタの初段入力部に最終段出力を入力するかを選択する役目も持っている。またスイッチ62-1、62-2、62-3により、走査を行わないブロックのシフトレジスタの初段入力を“L”レベルにすることによって、そのブロックのシフトレジスタの全出力を“L”レベルにするようになっている。またスイッチ64-1、64-2、64-3は、受光面を走査するブロックのシフトレジスタの初段入力部と、走査しないブロックのシフトレジスタの最終段出力部とを電気的に切り離すものである。

【0049】次に、図21を用いて図20に示した走査回路部の動作について説明する。図21は、ブロックA、Cに対応する受光面を、ブロックA、Cの順序で飛び越し走査する場合の信号波形を示すタイミングチャートである。図20において、スイッチ61-2が“ON”、61-1、61-

15

-3は“OFF”であり、スイッチ63-1, 63-3が“ON”、63-2は“OFF”である。また、スイッチ62-1, 62-3は“OFF”、62-2が“ON”、スイッチ64-1, 64-3が“ON”、64-2は“OFF”である。このようにスイッチ群の開閉状態を設定した後、スタートパルス Φ_{ST} を入力すると、スタートパルス Φ_{ST} はスイッチ63-1を介してノードSA3に現れ、ブロックAのシフトレジスタの初段入力パルスとなり、クロックパルス Φ_1 , Φ_2 に同期し、順次シフトしたパルスが出力端子O1A, O2A, O3Aに出力され、ブロックAに対応する受光面を走査する。

【0050】ブロックAのシフトレジスタの最終段出力が、スイッチ64-1及びスイッチ61-2を介して、ノードMB3に現れる。また、ノードSB3は常に“L”レベルとなり、これがブロックBのシフトレジスタの初段入力パルスとなるので、ブロックBのシフトレジスタの出力端子O1B, O2B, O3Bには常に“L”レベルの出力がされ、ブロックBに対応する受光面を走査しない。ノードMB3に現れるパルスは、スイッチ63-3を介してノードSC3に現れ、ブロックCのシフトレジスタの初段入力パルスとなり、クロックパルス Φ_1 , Φ_2 に同期し、順次シフトしたパルスが出力端子O1C, O2C, O3Cに出力され、ブロックCに対応する受光面を走査する。また、ブロックCのシフトレジスタの最終段出力が、スイッチ64-3を介してノードMC3に現れ、シフトレジスタの動作終了を示すパルス Φ_{EOS} が出力される。

【0051】このように、上記スイッチ群の開閉状態を設定することにより、ブロックA, Cに対応する受光面をブロックA, Cの順序で飛び越し走査することができる。本実施例において、図21のタイミングチャートに示すような走査をした場合、図22に示すように、1次元の受光面のうち、斜線で示した領域を読み出すことになる。

【0052】以上説明したように、本実施例においても、第1実施例と同様に、シフトレジスタのシフト動作停止に関する問題を発生せず、また初期化動作を行うことなく受光面の任意領域を読み出すことができ、第1実施例と同等の効果が得られる。更に、図2及び図17に示した第1及び第3実施例の走査回路部の構成では実現できない、ブロックの飛び越し走査を実現することができる。すなわち、受光面の読み出しパターンの自由度が広がる。なお、飛び越しブロック数及び、飛び越し回数は、本実施例に示したものに限らない。また、本実施例の走査回路部を用いて、図11に示した第2実施例のように構成したり、あるいは本実施例の走査回路部に対して、図8に示した受光画素の出力読み出し回路を用いて、並列読み出しを実現できるように構成したりすることができることは、いうまでもない。

【0053】(第5実施例) 図23は、本発明をエリアセンサに適用した第5実施例を示す概略構成図である。こ

16

の実施例は、図2に示した走査回路部及び図12に示したスイッチ制御回路部を用いた固体撮像装置の構成例を示している。この実施例の固体撮像装置は、 9×9 の受光画素からなる受光面100と、図2に示した走査回路部を用いた水平走査回路101, 垂直走査回路102, 及び図12に示したスイッチ制御回路部を用いた水平スイッチ制御回路103, 垂直スイッチ制御回路104とから構成されている。この実施例では、 3×3 受光画素を1ブロックとする読み出しが行えるようになっている。なお、本実施例は、MOSイメージセンサ, CMDイメージセンサ, SITイメージセンサ, AMIイメージセンサ等、X-Yアドレス型の全ての固体撮像装置に適用可能である。

【0054】次に、このように構成されている固体撮像装置の動作について説明する。図24は、受光面を全て走査する通常走査の場合のタイミングチャートである。図25の(A), (B)は、それぞれ水平スイッチ制御回路103及び垂直スイッチ制御回路104におけるタイミングチャートであり、水平スイッチ制御回路103では、 $t=t_H$ のタイミングで走査を開始するブロックHA、走査を終了するブロックHCを設定し、垂直スイッチ制御回路104についても同様に、 $t=t_V$ のタイミングで走査を開始するブロックVA、走査を終了するブロックVCを設定している。水平スイッチ制御回路103, 垂直スイッチ制御回路104により、水平走査回路101, 垂直走査回路102のスイッチ群の状態を設定する。その後、スタートパルス Φ_{ST} を入力して、図24のタイミングチャートに示すように、垂直走査回路102で受光面100のある行が選択されている期間(垂直選択期間)に、水平走査回路101で水平方向の9受光画素を時系列的に走査することにより、全受光面の受光画素信号が出力線105を介して時系列的に読み出され、信号出力SIGが得られる。

【0055】図26は、受光面100の中央部の 3×3 受光画素のみを繰り返し走査する場合のタイミングチャートである。この場合は、水平走査回路101のブロックHB, 及び垂直走査回路102のブロックVBのみを走査するように、水平スイッチ制御回路103, 垂直スイッチ制御回路104に、それぞれ図27の(A), (B)に示すようなシリアルパルス Φ_{HS} , Φ_{VS} を入力し、水平走査回路101, 垂直走査回路102のスイッチ群の状態を設定する。図26に示すタイミングチャートは、図6に示した第1実施例の走査回路部の動作時の信号波形を、水平走査回路101, 垂直走査回路102に適用したものとなる。

【0056】図28の(A)～(I)に受光面100の選択領域の例を示す。図中の斜線部が読み出す領域となる。例えば図24に示したパルスタイミングで水平走査回路, 垂直走査回路を動作させた場合は、図28の(F)で示す全領域選択に対応し、図26に示したパルスタイミングで動作させた場合は、図28の(A)で示す選択領域に対応する。

17

【0057】以上説明したように、本実施例によれば、シフトレジスタのシフト動作停止に関する問題を発生せずに、また初期化動作を行うことなく2次元の受光面の任意領域を読み出すことができる。また、この実施例においては、図17又は図20に示した第3及び第4実施例の走査回路部を用いても同様の動作が得られ、また図8に示した受光画素の出力読み出し回路を用いて並列読み出しを実現できることは、いうまでもない。更に図20に示した走査回路部を用いた場合には、ブロックの飛び越し走査ができるので、図28の(G)、(H)、(I)で示すような選択領域にも対応できる。

【0058】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、シフトレジスタを駆動するクロックパルスの複雑な制御なしで、完全にシフトレジスタのシフト動作を停止することができ、また従来のように、シフトレジスタの初期化動作の必要がなく、これに伴う問題を生じることなく受光面の任意領域を読み出すことができる。更に、スイッチ手段を制御する回路を固体撮像装置と同一チップ内に形成することにより、周辺回路の複雑化を回避することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施例を示す概略構成図である。

【図2】図1に示した固体撮像装置の走査回路部を示す回路構成図である。

【図3】図2に示した走査回路部のシフトレジスタを構成する単位回路を示す構成図である。

【図4】図3に示した単位回路の動作を説明するためのタイミングチャートである。

【図5】図2に示した走査回路部により、通常走査を行う場合のタイミングチャートである。

【図6】図2に示した走査回路部により、分割走査を行う場合のタイミングチャートである。

【図7】図2に示した走査回路部を、図5に示したタイミングチャートで走査した場合の受光面の選択領域、及び図6に示したタイミングチャートで走査した場合の受光面の選択領域を示す図である。

【図8】図1に示した固体撮像装置の、受光画素の出力読み出し部の他の回路構成例を示す図である。

【図9】図1に示した固体撮像装置において通常走査を行う場合の、図8に示した受光画素の出力読み出し回路のタイミングチャートである。

【図10】図1に示した固体撮像装置において並列走査を行う場合の、図8に示した受光画素の出力読み出し回路のタイミングチャートである。

【図11】本発明に係る固体撮像装置の第2実施例を示す概略構成図である。

【図12】図11に示した固体撮像装置のスイッチ制御回路部を示す回路構成図である。

18

【図13】図12に示したスイッチ制御回路を構成するラッチ単位回路を示す回路構成図である。

【図14】図13に示したラッチ単位回路の動作を説明するためのタイミングチャートである。

【図15】図11に示した固体撮像装置において分割走査を行う場合の、図12に示したスイッチ制御回路部のタイミングチャートである。

【図16】図11に示した固体撮像装置の走査回路部を示す回路構成図である。

【図17】本発明に係る固体撮像装置の第3実施例の走査回路部を示す回路構成図である。

【図18】図17に示した走査回路部により、分割走査を行う場合のタイミングチャートである。

【図19】図17に示した走査回路部を、図18に示したタイミングチャートで走査した場合の受光面の選択領域を示す図である。

【図20】本発明に係る固体撮像装置の第4実施例の走査回路部を示す回路構成図である。

【図21】図20に示した走査回路部により、分割走査を行う場合のタイミングチャートである。

【図22】図20に示した走査回路部を、図21に示したタイミングチャートで走査した場合の受光面の選択領域を示す図である。

【図23】本発明に係る固体撮像装置の第5実施例を示す概略構成図である。

【図24】図23に示した固体撮像装置において、通常走査を行う場合のタイミングチャートである。

【図25】図23に示した固体撮像装置において、通常走査を行う場合の水平スイッチ制御回路のタイミングチャート、及び垂直スイッチ制御回路のタイミングチャートである。

【図26】図23に示した固体撮像装置において、分割走査を行う場合のタイミングチャートである。

【図27】図23に示した固体撮像装置において、分割走査を行う場合の水平スイッチ制御回路のタイミングチャート、及び垂直スイッチ制御回路のタイミングチャートである。

【図28】受光面の分割選択領域の例を示す図である。

【図29】従来の固体撮像装置における走査回路部を示す回路構成図である。

【図30】図29に示した走査回路部により、分割走査を行う場合のタイミングチャートである。

【図31】従来の固体撮像装置を示す概略構成図である。

【図32】図29に示した走査回路部を、図30に示したタイミングチャートで走査した場合の受光面の選択領域を示す図である。

【符号の説明】

1 走査回路部

2 スイッチ部

3 シフトレジスタ部

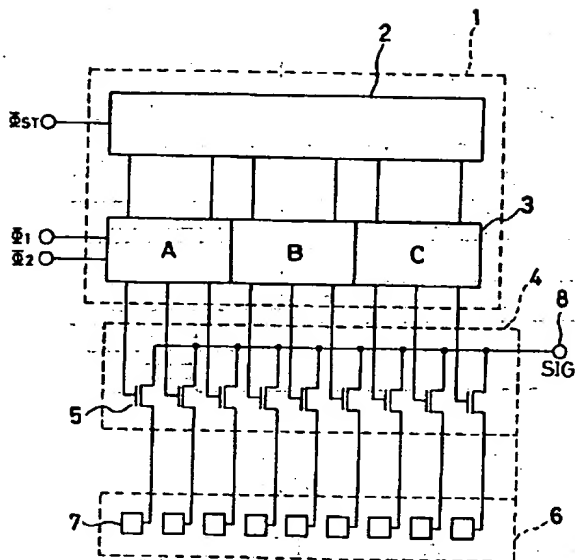
19

20

- 4 出力読み出し部
- 5 スイッチングトランジスタ
- 6 受光部
- 7 受光画素
- 8 出力端子
- 30 スイッチ制御回路部

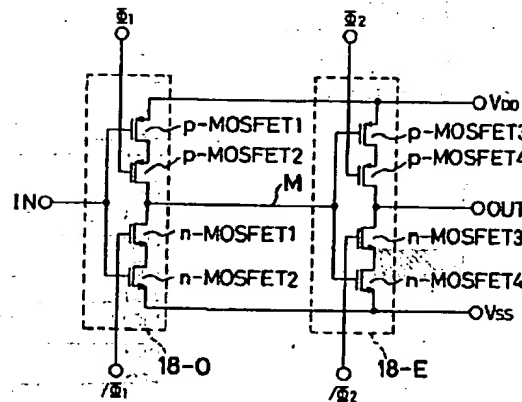
- 100 受光面
- 101 水平走査回路
- 102 垂直走査回路
- 103 水平スイッチ制御回路
- 104 垂直スイッチ制御回路

【図1】

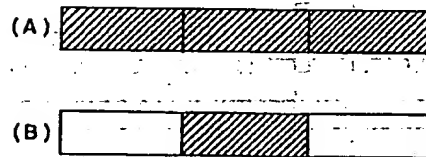


- 1: 走査回路部
- 2: スイッチ部
- 3: シフトレジスタ部
- 4: 出力読み出し部
- 5: スイッチングトランジスタ
- 6: 受光部
- 7: 受光画素
- 8: 出力端子

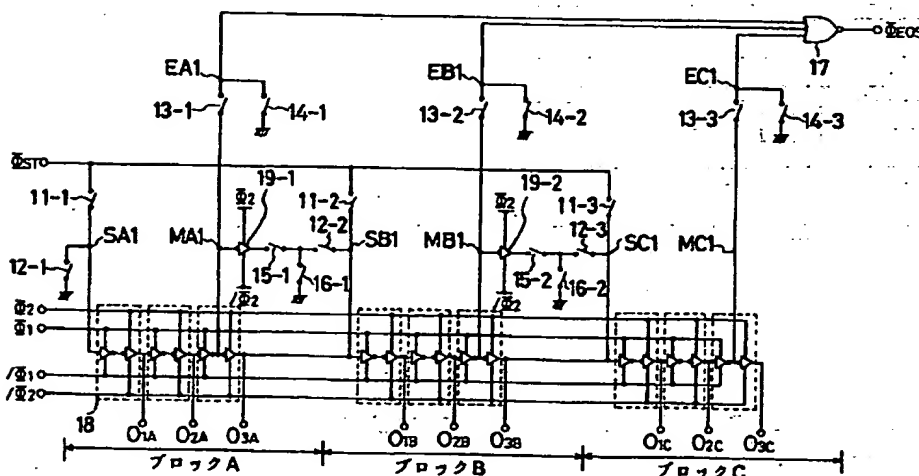
【図3】



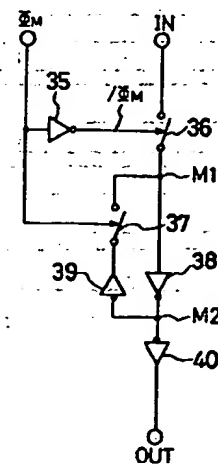
【図7】



【図2】



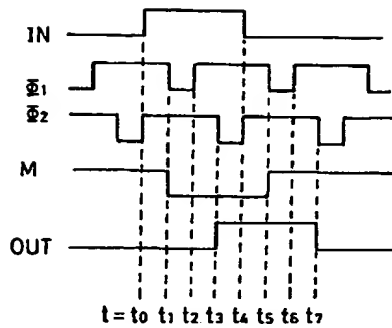
【図13】



【図19】



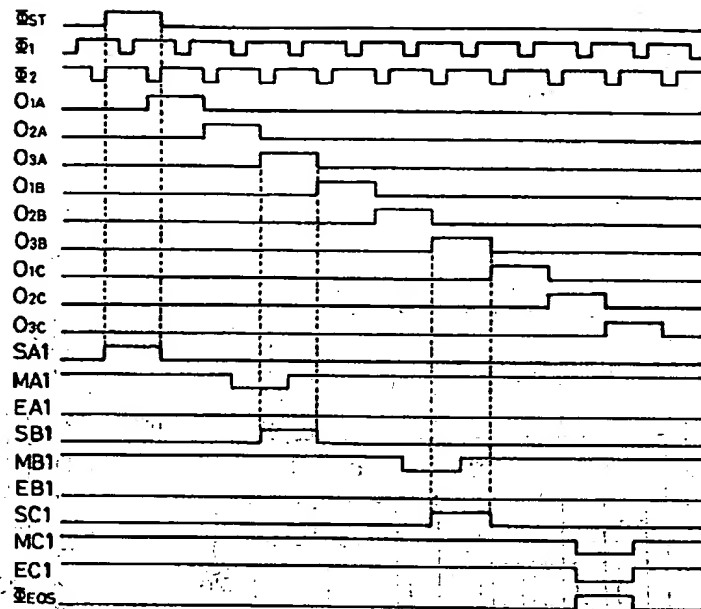
【図4】



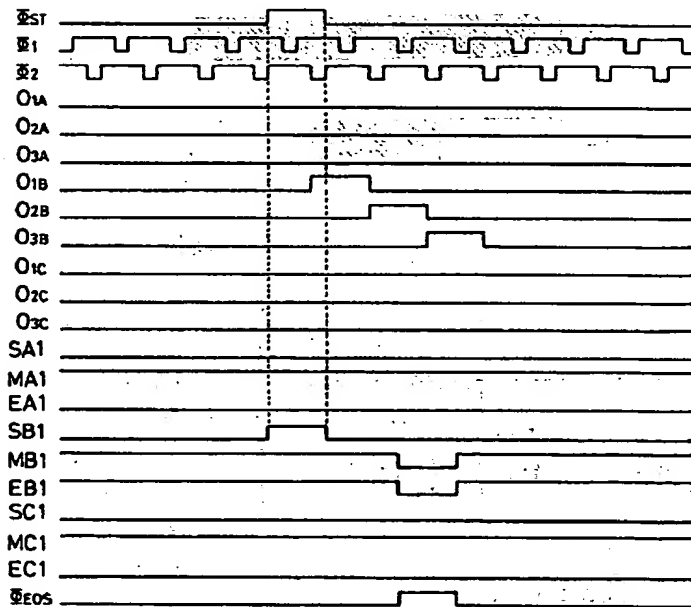
【図22】



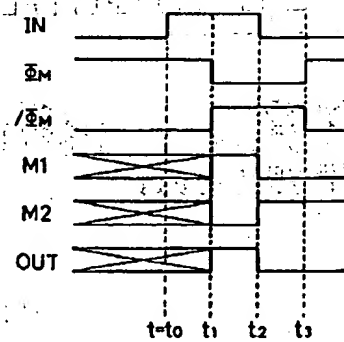
【図5】



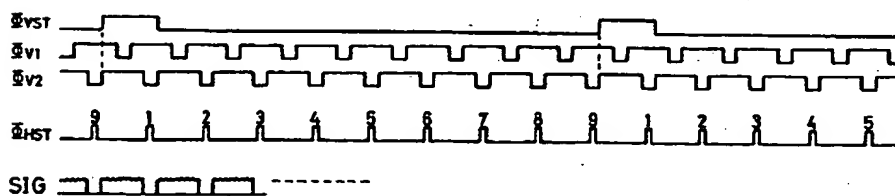
【図6】



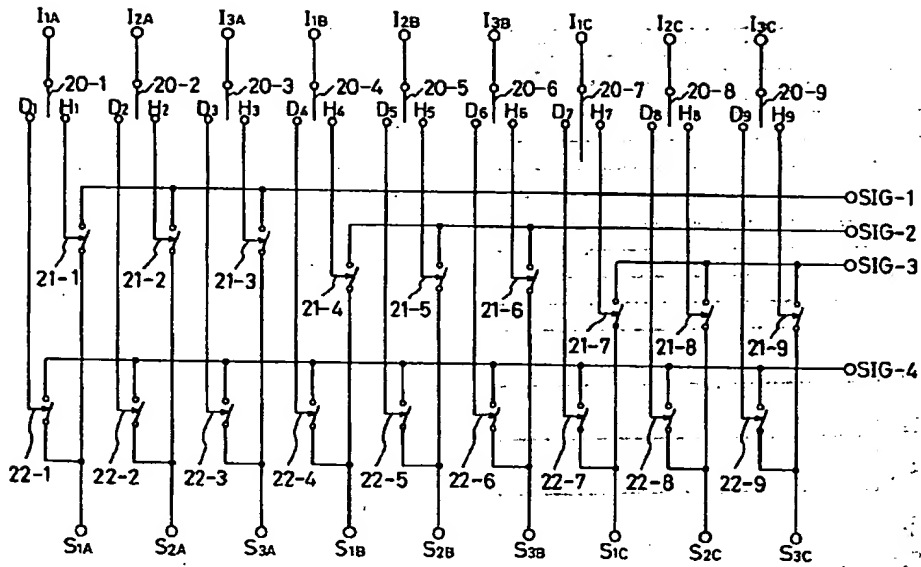
【図14】



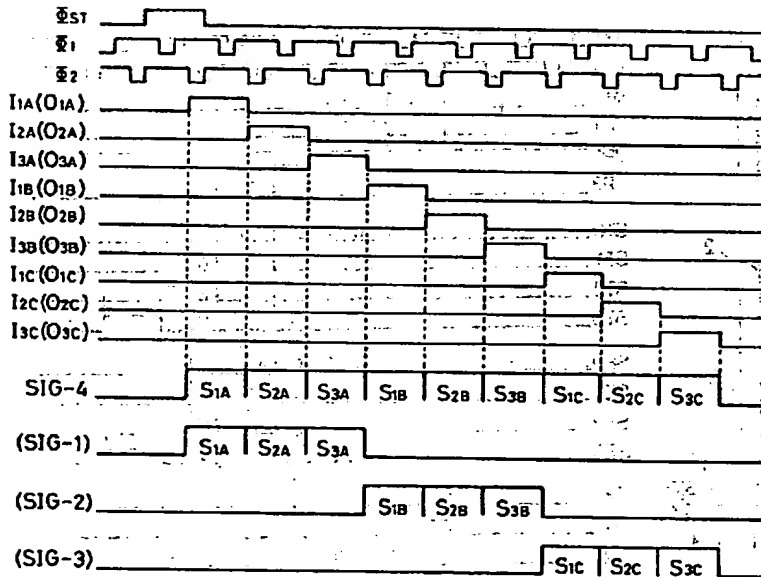
【図24】



【図8】



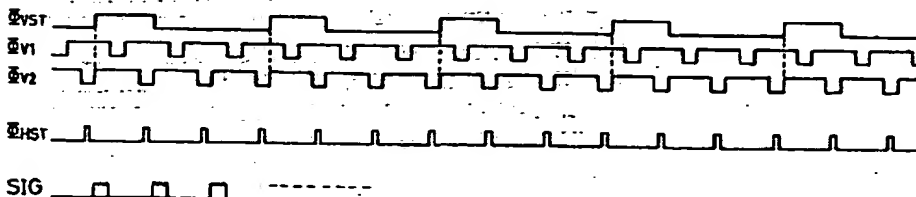
【図9】



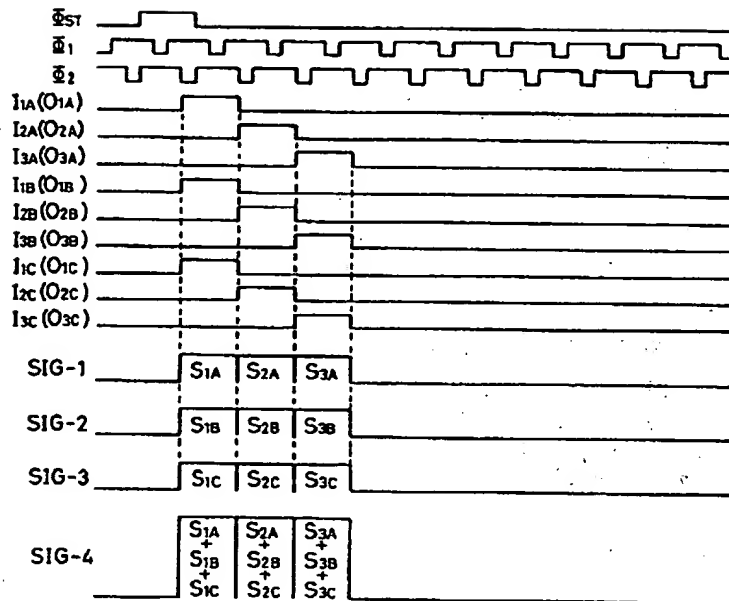
【図32】



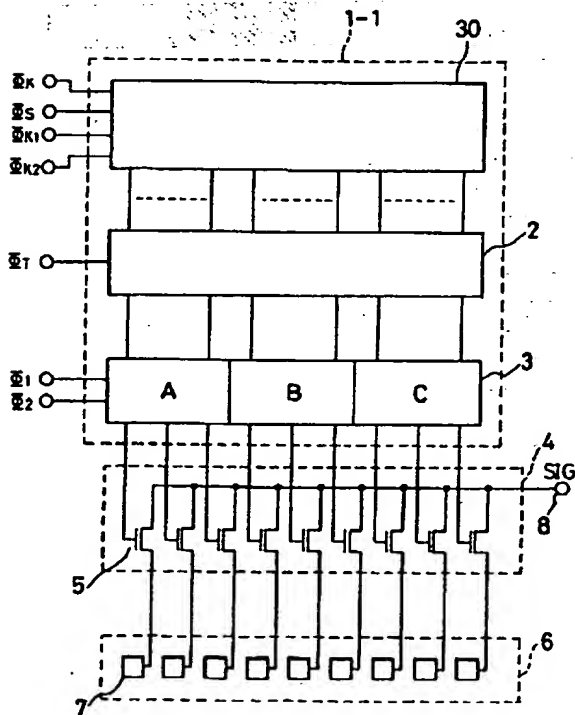
【図26】



【図10】

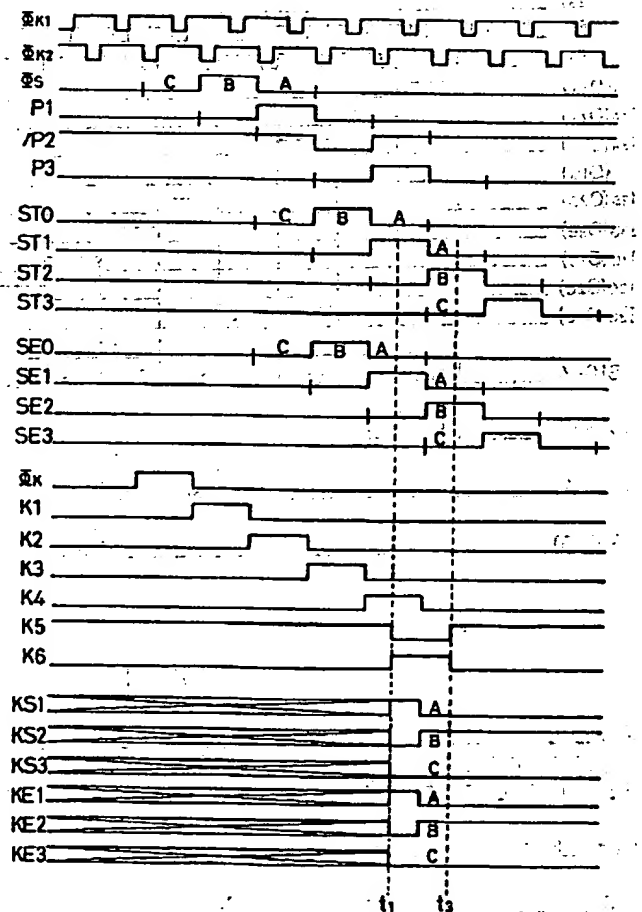


【図11】

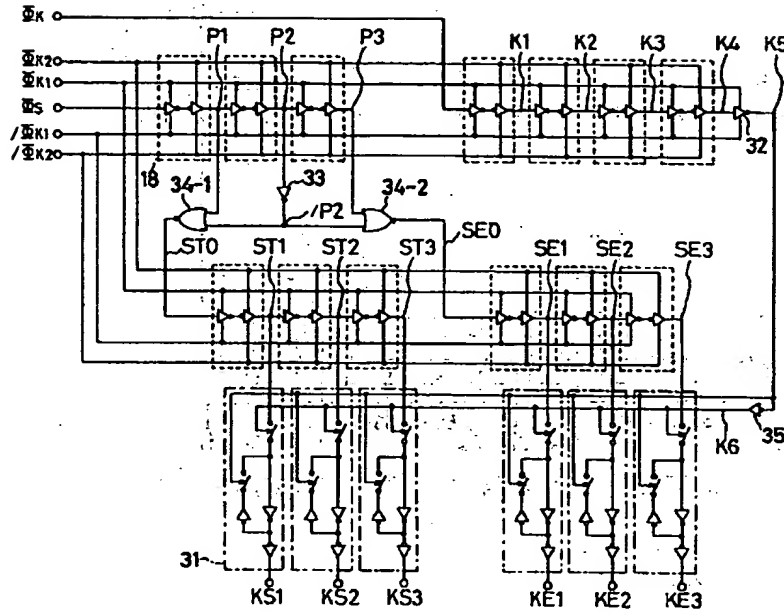


30: スイッチ制御回路部

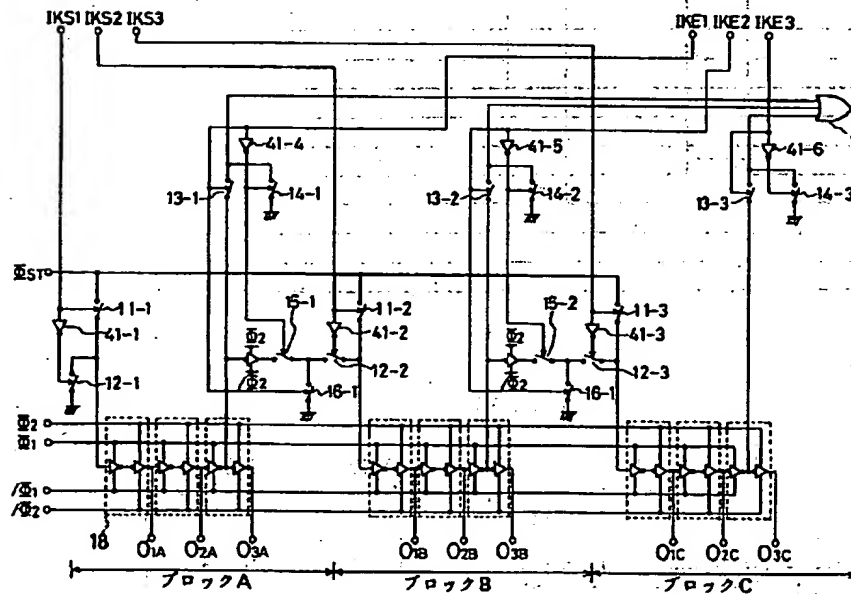
【図15】



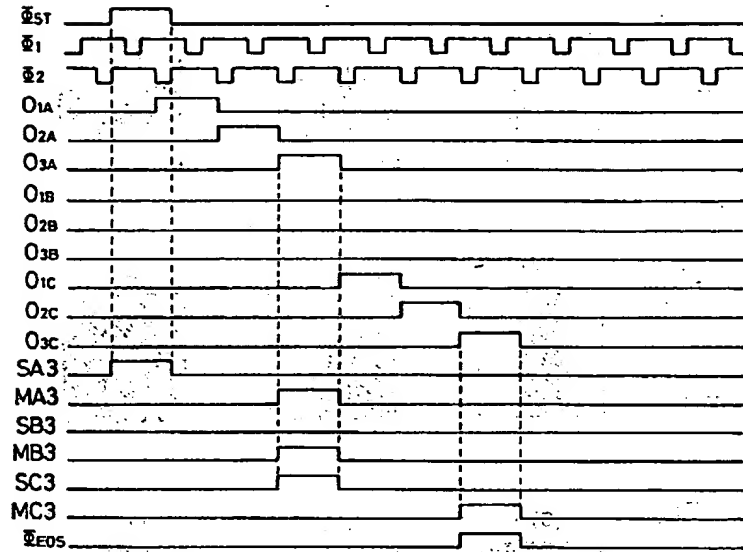
【図12】



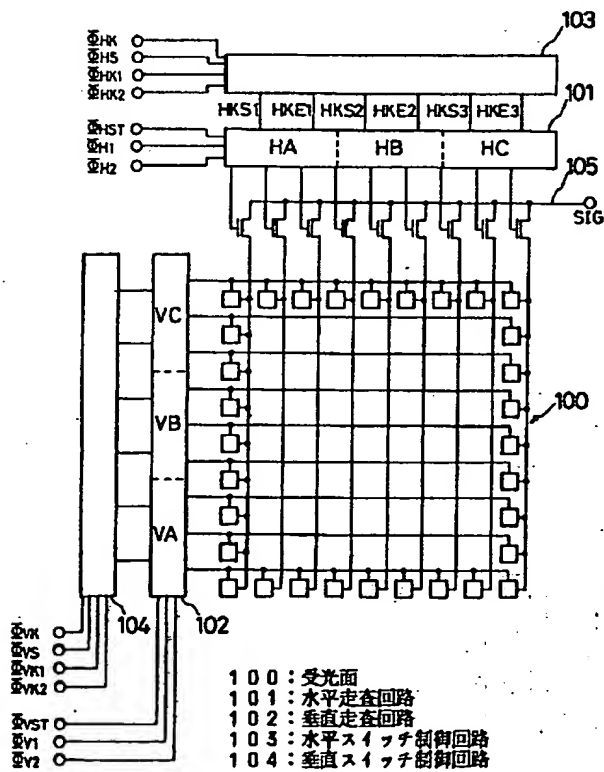
【図16】



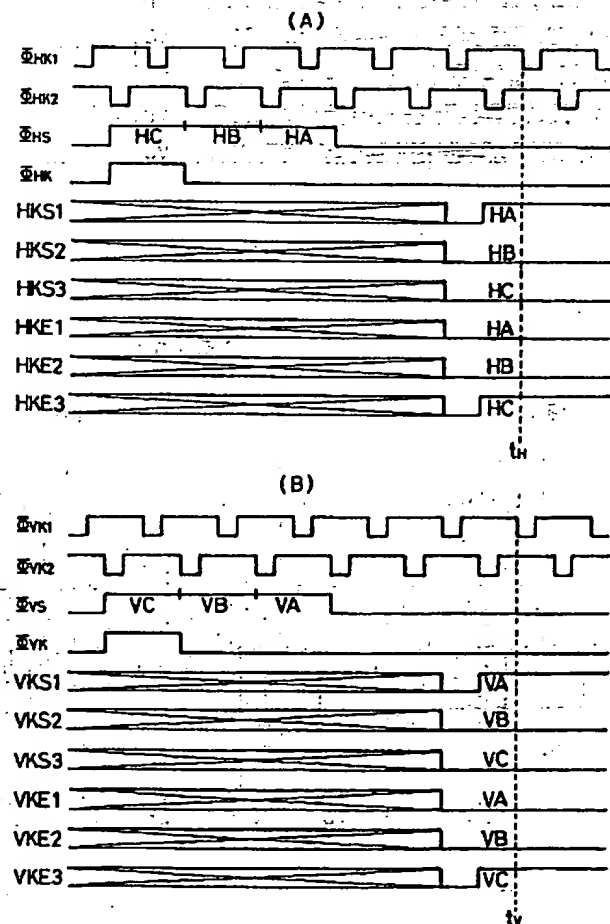
【図21】



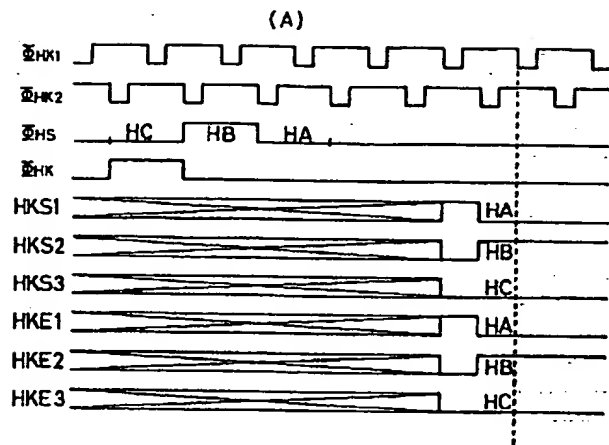
【図23】



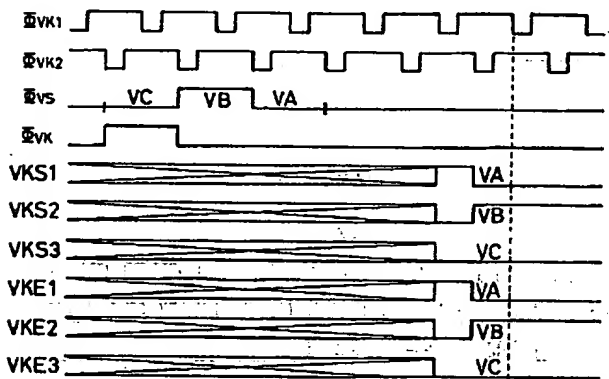
【図25】



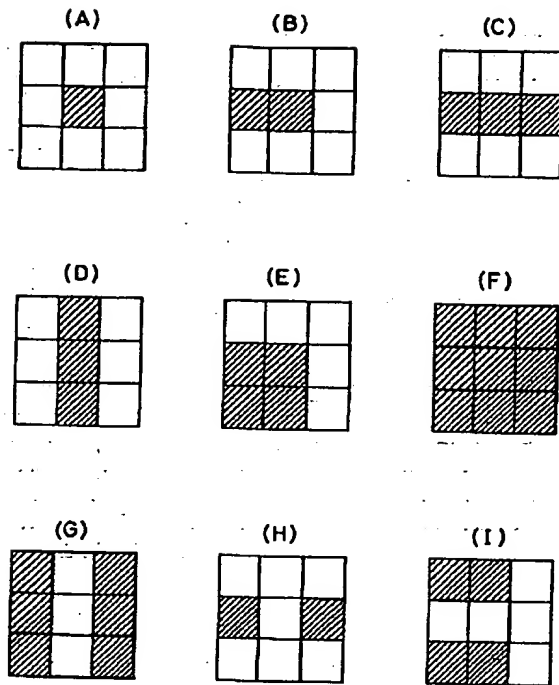
【図27】



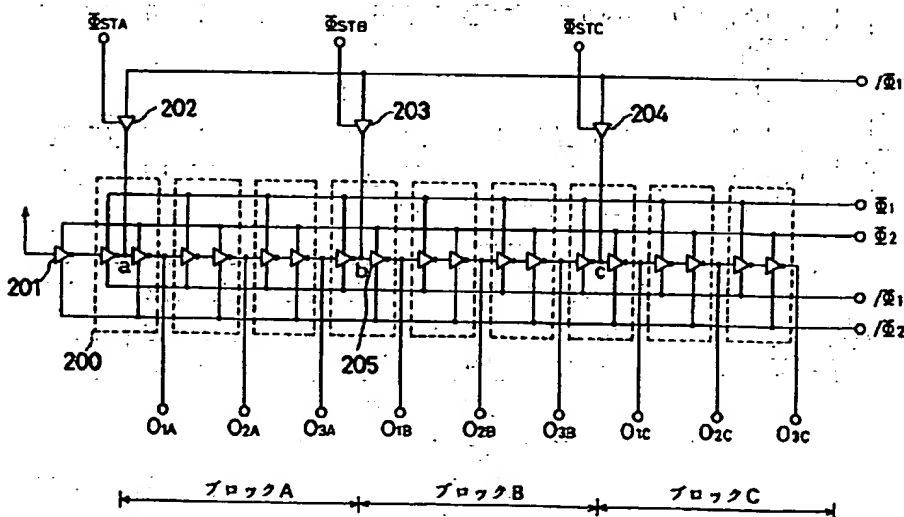
(B)



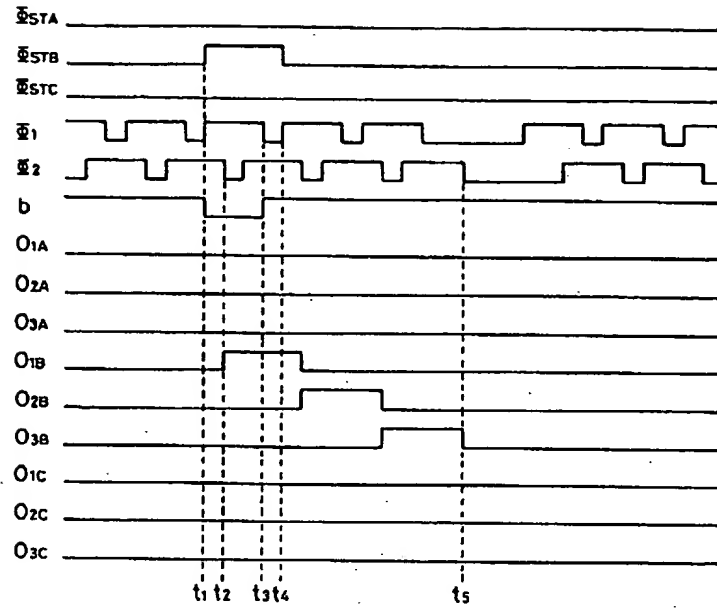
【図28】



【図29】



【図30】



【図31】

